



⑬ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

⑫ Patentschrift  
⑩ DE 197 42 577 C 1

⑤ Int. Cl.<sup>6</sup>  
G 06 F 9/455  
G 05 B 17/00

② Aktenzeichen: 197 42 577.1-53  
③ Anmeldetag: 26. 9. 97  
④ Offenlegungstag: -  
⑤ Veröffentlichungstag  
der Patenterteilung: 12. 11. 98

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

⑦ Patentinhaber:  
Siemens AG, 80333 München, DE

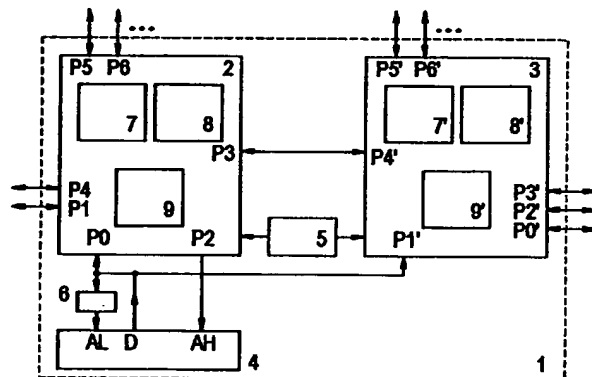
⑧ Erfinder:  
Grunert, Jens, 01257 Dresden, DE

⑥ Für die Beurteilung der Patentfähigkeit in Betracht  
gezogene Druckschriften:

DE 40 39 201 C2  
DE 37 37 958 A1

④ Schaltungsanordnung zur In-Circuit-Emulation eines Mikrocontrollers

⑤ Ein sowohl für den Normalbetrieb im Anwendungssystem als auch für die In-Circuit-Emulation geeigneter Mikrocontroller enthält eine Umschaltlogik (9, 9'), durch die die internen Verbindungen für die Anschlußports (P0, ..., P4, P0', ..., P4') eingestellt werden. Bei Emulationsbetrieb werden zwei gleiche Mikrocontroller (2, 3) in Master-Slave-Beziehung mit externem Programmspeicher (4) verschaltet. Der Slave (3) bedient diejenigen Anschlußports (P0, P2, P3), die im Master (2) gegenüber dem Normalbetrieb anders beschaltet sind. Eine Bond-Out-Version für die In-Circuit-Emulation ist nicht erforderlich.



DE 197 42 577 C 1

DE 197 42 577 C 1

Die Erfindung betrifft eine Schaltungsanordnung zu In-Circuit-Emulation eines Mikrocontrollers sowie einen Mikrocontroller zur Verwendung in derselben.

- 5 Bei der Entwicklung von Anwendungssystemen mit Mikrocontrollern ist es erforderlich, daß der Mikrocontroller im Anwendungssystem selbst betrieben wird und interne Signale und Zustände, die im Normalbetrieb nicht zugänglich sind, zu Testzwecken nach außen geführt und überwacht werden. Insbesondere ist eine Zugriffsmöglichkeit auf das Arbeitsprogramm des Mikrocontrollers, das im Normalbetrieb in einem von außen nicht unmittelbar zugänglichen ROM-Speicher abgelegt ist, vorzusehen. Das Arbeitsprogramm kann dadurch während der Entwicklungsphase verändert werden.  
10 Ein Bedienungsrechner dient als Benutzerschnittstelle zum Mikrocontroller. Diese Technik wird als In-Circuit-Emulation (ICE) des Mikrocontrollers bezeichnet.

- Problematisch ist die Herstellung einer für die In-Circuit-Emulation geeigneten Variante des Serien-Mikrocontrollers. Bisher wird hierzu eine Bond-Out-Version hergestellt, bei der zusätzliche interne Signale nach außen geführt und dadurch abgreifbar sind. Der Aufwand zur Herstellung des Bond-Out-Mikrocontrollers ist außerordentlich hoch. Gegenüber dem Serienschaltkreis steht er meist erst mit erheblicher Verzögerung zur Verfügung.  
15 In der DE 37 37 958 A1 ist eine Anordnung zum Emulieren eines Mikrocontrollers unter Verwendung eines Mutter- sowie eines Tochtermikrocontrollers beschrieben. Ersterer ist eine Bond-Out-Ausführung, letzterer eine Non-Bond-Out-Ausführung, die einen zusätzlichen funktionellen Verarbeitungsteil, einen internen Programmspeicher und ein Prozessorlement enthält. Zur Emulation werden Mutter- und Tochtermikrocontroller gemeinsam im Zielsystem betrieben.

- 20 In der DE 40 39 201 C2 ist eine Anordnung zur Verhaltensanalyse eines Echtzeitkommunikationssystems beschrieben. Die Anordnung umfaßt einen übergeordneten Steuerrechner, einen Buscontroller und Mikrocontroller, der als Busemulator dient. Die Controller sind über eine serielle Schnittstelle miteinander verbunden und an den Steuerrechner über je einen Dual-Port-Speicher angeschlossen. Der Steuerrechner kontrolliert den Emulationsvorgang. Der Busemulator hört die vom Buscontroller gebildete serielle Busschnittstelle ab und versorgt diese mit zwischengespeicherten Telegrammen, so daß der Buscontroller in Echtzeit arbeitet. Der Busemulator ersetzt dadurch das Übertragungsmedium des Kommunikationssystems.  
25 Die Aufgabe der Erfindung besteht darin, den Aufwand zur Bereitstellung eines für eine In-Circuit-Emulation geeigneten Mikrocontrollers zu verringern.

- Diese Aufgabe wird durch eine Schaltungsanordnung zur In-Circuit-Emulation nach den Merkmalen des Patentanspruchs 1 gelöst. Darüber hinaus wird diese Aufgabe durch einen Mikrocontroller nach den Merkmalen des Patentanspruchs 8 gelöst.  
30 Bei der vorliegenden Erfindung wird das Arbeitsprogramm für die In-Circuit-Emulation nicht im internen ROM-Speicher, sondern in einem externen und daher einfach zugänglichen Speicher abgelegt. Durch die Verbindungseinrichtung ist es möglich, den Mikrocontroller in mehreren Betriebsarten zu betreiben, so daß sowohl für das Serienprodukt als auch für dessen Emulationsvariante das gleiche Schaltungsdesign verwendbar ist. Der zusätzliche Schaltungsaufwand besteht im wesentlichen aus geeigneten Umschaltern für die Anschlußports des Mikrocontrollers und hält sich in vertretbaren Grenzen.

- Die Anordnung zur In-Circuit-Emulation umfaßt zwei gleiche Mikrocontroller, die als Master und Slave betrieben werden sowie den externen Programmspeicher. Der Slave erhält parallel zum Master die gleichen Programmbefehle. Die beim Master gegenüber dem Normalbetrieb anders belegten Anschlußports werden über den Slave abgewickelt und an den Master übertragen. Die Abarbeitung des Arbeitsprogramms erfolgt im Master. Die Belegung der Außenanschlußports der Gesamtschaltung aus Master, Slave und externem Speicher entspricht dem Normalbetrieb des Serienmikrocontrollers. Mit Vorliegen des Serien-Mikrocontrollers ist bereits auch die In-Circuit-Emulation möglich. Vorteilhaft ist, daß sämtliche in der Serienfertigung durchgeführte Änderungen (z. B. Zeitverhalten von Anschlußports und Schaltflanken, Treiberströme, etc.) ohne weiteres auch im Emulator zur Verfügung stehen.  
45 Nachfolgend wird die Erfindung anhand des in der Zeichnung dargestellten Ausführungsbeispiels näher erläutert. Es zeigen:

Fig. 1 ein Schaltbild der Gesamtanordnung für die In-Circuit-Emulation und

- Fig. 2 ein detailliertes Blockschaltbild eines Mikrocontrollers mit der für die Emulation zusätzlich erforderlichen Verbindungslogik.  
50

- Die in Fig. 1 gezeigte Gesamtschaltungsanordnung 1 für die In-Circuit-Emulation enthält zwei baugleiche Mikrocontroller 2, 3 sowie einen externen Speicher 4, in dem ein Arbeitsprogramm gespeichert ist. Die Mikrocontroller weisen einen ROM-Speicher 8, 8' auf, in dem ansonsten im Normalbetrieb das Arbeitsprogramm abgelegt ist. Bei der In-Circuit-Emulation ist der Speicher 8, 8' abgeschaltet. Der Rechnerkern 7, 7' enthält chipinterne Signal- und Datenbusse, CPU, ALU, etc. Eine Verbindungslogikeinrichtung 9, 9' sorgt für die Verbindung der Anschlußports P0, . . . , P4 untereinander und zum Rechnerkern 7, 7'. Der Mikrocontroller 2 wird als Master betrieben, der Mikrocontroller 3 als Slave. Diese unterschiedlichen Betriebsarten werden durch unterschiedliche Einstellung der Verbindungslogik 9, 9' in den Mikrocontrollern 2, 3 bewirkt.  
55

- Der Master 2 ist durch seine Ports P0, P2 mit dem externen Speicher 4 verbunden. Über das Port P2, einem Signalbus mit einer Anzahl von (z. B. acht) parallelen Signalleitungen, wird dem Speicher 4 das höherwertige Byte der Speicheradresse AH zugeführt. Das niedrigerwertige Byte der Speicheradresse AL wird über das Port P0 übertragen. Das Port P0 empfängt außerdem zeitlich abwechselnd, d. h. gemultiplext, mit der Übertragung des niedrigerwertigen Adreßbytes ein Datenbyte D aus dem Speicher 4. Eine Einrichtung 6 dient Steuerung des gemultiplexten Speicherzugriffs. Die Erfindung ist auch für einen nicht gemultiplexten Zugriffsbetrieb geeignet, bei der für die Daten und das niedrigerwertige Adreßbyte getrennte Anschlußports zur Verfügung stehen. Die aus dem Speicher 4 ausgelesenen Daten D werden außerdem dem Slave 3 zugeführt.  
60

- Im Unterschied zum Master 2 wird beim Slave 3 jedoch das Port P1' verwendet. Diese unterschiedliche Beschaltung der Ports in den Mikrocontrollern 2, 3 wird durch geeignete Einstellung von Umschaltern in der Verbindungslogik 9, 9' –  
65

wie unten detaillierter beschrieben – bewirkt. Im Master 2 wird über das Port P1 ein Datenverkehr mit der Anwendungsschaltung abgewickelt. Im Slave 3 dienen die Ports P0', P2', P3' als Außenanschlüsse der Gesamtschaltungsanordnung. Eine Signalverbindung zwischen den Mikrocontrollern 2, 3 wird durch Port P3 im Master und Port P4' im Slave hergestellt. Die jeweiligen Einstellungen der Verbindungseinrichtungen 9, 9' sorgen dafür, daß die Ports P0', P2', P3' des Slaves 3 auf den Master 2 durchgeschaltet werden, so daß sämtliche Ein- und Ausgabedaten der Funktionseinheit 7 im Master 2 wie im Normalbetrieb zur Verfügung stehen. Der Master 2 arbeitet das Arbeitsprogramm unter Auswertung der über die Ports P0, ..., P4 extern eingegebenen Daten aus dem Anwendungssystem ab. Die Zuführung des Arbeitsprogramms zum Slave 3 dient dazu, die Datenein- und -ausgabe über die Ports P0', P2', P3' zeitrichtig zu steuern. Zweckmäßigerweise sind die Mikrocontroller 2, 3 auf der Schaltungsplatine dicht nebeneinander angeordnet, um eine möglichst hohe Arbeitsfrequenz zu erreichen zu können. Eine Takteinrichtung 5 sorgt für eine gute Synchronisation zwischen Master 2 und Slave 3.

Durch einen an die Schaltungsanordnung 1 angeschlossenen Bedienungsrechner wird der Emulationsbetrieb gesteuert. Die übrigen Ports P5, P6, ... des Masters 2 sind wie im Normalbetrieb beschaltet. Die entsprechenden Ports P5', P6', ... sind daher im Slave 3 frei, so daß sie zur Ein- und Ausgabe weiterer interner Signale und Zustände, z. B. interner Busse, Steuersignale, Registerinhalte, etc., oder zur Steuerung des Programmablaufs verwendet werden können. Interne Zustände des Masters 2 werden über die Ports P3, P4' an den Slave 3 und dann über die Ports P5', P6', ... an den Bedienungsrechner übertragen. Durch den Bedienungsrechner kann der Inhalt des Speichers 4 verändert werden, um den Mikrocontroller im Anwendungssystem während der Entwicklungsphase zu optimieren. Durch Setzen von Unterbrechungspunkten kann der interne Zustand des Masters 2 nachvollzogen werden. Der Bedienungsrechner führt dabei das Anwendungsprogramm parallel zum Ablauf im Master 2 aus.

Ein Realisierungsbeispiel für die Verbindungslogik 9 bzw. 9' ist in Fig. 2 dargestellt. Der Rechnerkern 7, der den internen Funktionsablauf gemäß dem Arbeitsprogramm steuert, weist zu den Außenanschlüssen P0, ..., P4 entsprechende interne Anschlüsse p0, ..., p4 auf. Die Schnittstelle zum Programmspeicher ist wie in Fig. 1 nach dem gemultiplext arbeitenden Busprinzip ausgeführt. Daher sind ein Anschluß ah für das höherwertige Adreßbyte sowie ein Anschluß al/d für das niedrigerwertige Adreßbyte und die Daten vorgesehen. Die Verbindungslogik wird im wesentlichen durch die bidirektional ausgeführten Umschalter, die den Rechnerkern 7 umgeben, und deren Steuerung realisiert. Die Betriebsarteneinstellung der Verbindungslogik erfolgt durch die Signale EA, EMM, EMS. Das Signal EA gibt an, ob Adressen und Daten für den Speicherzugriff über die externen Ports P0, P2 geführt werden (EA = 0), oder an den internen ROM-Speicher 8 (EA = 1). Das Signal EMM gibt an, ob Masterbetrieb vorliegt (EMM = 0) oder nicht (EMM = 1). Das Signal EMS gibt an, ob Slavemode vorliegt (EMS = 0) oder nicht (EMS = 1). Die Einstellungen der Verbindungslogik sind in nachfolgender Tabelle zusammengefaßt:

Steuersignal			Betriebsart
EMS	EMM	EA	
1	1	1	Normalbetrieb, internes ROM
1	0	0	Masterbetrieb
0	1	1	Slavebetrieb

Im Normalbetrieb mit internem ROM-Programmspeicher werden Adressen aus dem Rechnerkern 7 ausgegeben und dem internen ROM 8 zugeführt; Daten werden vom internen ROM 8 erhalten.

Die Umschalter 21, 22, 23 sorgen in der Stellung "1" dafür, daß die jeweilige Signalverbindung des Rechnerkerns 7 zum internen ROM 8 durchgeschaltet wird. Die Ports P0, P2 werden über Umschalter 24, 25 in Stellung "1" und weitere Umschalter 26, 27 in Stellung "1" auf die Anschlüsse p0, p2 des Rechnerkerns 7 geschaltet. Der Außenanschluß P1 ist an den Anschluß p1 des Rechnerkerns 7 gelegt, ebenso ist der Außenanschluß P3 an den Innenanschluß p3 geführt. Der Außenanschluß P4 wird über einen Multiplexer 28 in Stellung "1" an den Innenanschluß p4 geführt.

In der Betriebsarteneinstellung des Masters 2 sind die Umschalter wie folgt gesetzt. Der Außenanschluß P0 ist über die Umschalter 24, 22 in Stellung "0" und Umschalter 21 in Stellung "1" an den Innenanschluß al/d geführt. Der Außenanschluß P2 wird über die Umschalter 25, 23 in Stellung "0" mit dem Innenanschluß ah verbunden. Die Außenanschlüsse P0, P2 sind somit für den Anschluß des externen Programmspeichers 4 konfiguriert. Die Innenanschlüsse p0, p2 werden nun aber über die Außenanschlüsse P0', P2' des Slaves 3 versorgt, indem der dort abgewinkelte Signalverkehr, d. h. Ein- und Ausgaben vom Slave 3 an den Außenanschluß P3 des Masters 2 übertragen und weiterhin über die Umschalter 26, 27 in Stellung "0" an die Innenanschlüsse p0, p2 geführt wird. Die Verbindung der Anschlüsse P1, p1 und P4, p4 bleibt wie im Normalbetrieb bestehen.

In Slave-Betriebsart ist die Verbindungslogik wie folgt konfiguriert. Der Außenanschluß P1 ist über den Umschalter 21 in Stellung "0" mit dem internen Anschluß al/d verbunden. Die Außenanschlüsse P0, P2 werden über die Multiplexer 24, 25 in Stellung "1" an den Umschalter 28 geführt. Dieser wählt einen der Außenanschlüsse P0, P2, P3 aus, um ihn über den Umschalter 28 in Stellung "0" an den Außenanschluß P4 weiterzuleiten. Die Steuerung des Umschalters 28 erfolgt durch vom Rechnerkern 7 ausgegebene Steuersignale CSP. Im Slavebetrieb ist der interne ROM-Speicher 8 durch die Signale EMS = "0" und EA = "1", die über ein NAND-Gatter 29 miteinander verknüpft werden, abgeschaltet.

Zur Einstellung des Master-, Slave- oder Normalbetriebs werden an Signalanschlußpins, die im Normalbetrieb nur zur Signalausgabe dienen, jeweils ein konstantes Potential (z. B. Masse oder das positive Versorgungspotential) angelegt. Zur Kennzeichnung der Betriebsarten werden unterschiedliche Potentialkombinationen verwendet. Die Mikroprozessoren weisen Schaltungsmittel auf, durch die während des Rücksetzens (Reset) der Mikroprozessoren zu Betriebsbeginn

programmgesteuert das an diesem Signalpin anliegende Potential abgefragt wird. Anschließend stellt sich die Verbindungslogik entsprechend dem festgestellten Potential in Master- oder Slave- oder Normalbetriebseinstellung ein.

#### Patentansprüche

5

10

15

20

25

30

35

40

45

50

55

60

65

1. Schaltungsanordnung zur In-Circuit-Emulation, umfassend einen ersten und einen zweiten gleichen Mikrocontroller (2, 3), die jeweils mindestens fünf externe Anschlüsse (P0, . . . , P4; P0', . . . , P4') aufweisen sowie eine Verbindungseinrichtung (9, 9'), die zur Verbindung der Anschlüsse innerhalb des Mikrocontrollers untereinander sowie mit internen Funktionseinheiten (7, 7') des Mikrocontrollers dient und im ersten und zweiten Mikrocontroller (2, 3) eine unterschiedliche Einstellung aufweist, und einen Speicher (4) für ein Arbeitsprogramm mit einem Daten- und einem Adreßanschluß (D, AL, AH), wobei die gleichen Anschlüsse beider Mikrocontroller nicht miteinander verbunden sind, die Daten- und Adreßanschlüsse (D, AH, AL) des Speichers (4) mit je einem der Anschlüsse (P0, P2) des ersten Mikrocontrollers (2) verbunden sind und der Datenanschluß (D) des Speichers (4) mit einem der Anschlüsse (P1) des zweiten Mikrocontrollers (3) verbunden ist, die Mikrocontroller untereinander über je einen Anschluß (P3, P4') miteinander verbunden sind, und die übrigen Anschlüsse (P1, P4; P0', P2', P3') der Mikrocontroller zur Verbindung mit einem Anwendungssystem vorgesehen sind und wobei die Verbindungseinrichtungen (9, 9') derart eingestellt sind, daß den Funktionseinheiten (7) des ersten Mikrocontrollers (2) das Arbeitsprogramm aus dem Speicher (4) bereitgestellt wird und der Signalverkehr an den übrigen Anschlüssen (P0', P2', P3') des zweiten Mikrocontrollers (3) über den Anschluß (P3) zur Verbindung mit dem zweiten Mikrocontroller (3) bereitgestellt wird.

2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß die internen Funktionseinheiten (7, 7') des ersten und des zweiten Mikrocontrollers (2, 3) jeweils einen internen Adreßanschluß (ah) und einen internen Datenanschluß (al/d) zum Abruf des Arbeitsprogramms sowie fünf interne Anschlüsse (p0, . . . , p4) aufweisen, daß innerhalb des ersten Mikrocontrollers (2) über dessen Verbindungseinrichtung (9) in einer ersten Einstellung der interne Adreßanschluß (ah) und der interne Datenanschluß (al/d) mit einem ersten und einem zweiten externen Anschluß (P0, P2) verbunden sind, erste, zweite und dritte interne Anschlüsse (p0, p2, p3) mit einem dritten externen Anschluß (P3) verbunden sind und vierte und fünfte interne Anschlüsse (p4, p1) mit einem vierten und fünften externen Anschluß (P4, P1) verbunden sind, und daß innerhalb des zweiten Mikrocontrollers (2) über dessen Verbindungseinrichtung (9') in einer zweiten Einstellung der interne Datenanschluß (al/d) mit dem fünften externen Anschluß (P1') verbunden ist und der erste, zweite und dritte externe Anschluß (P0', P2', P3') mit dem vierten externen Anschluß (P4') verbunden sind.

3. Schaltungsanordnung nach einem der Ansprüche 1 bis 2, dadurch gekennzeichnet, daß betreffend den ersten Mikrocontroller (2) der zweite externe Anschluß (P2) mit dem Adreßanschluß (AH, AL) des externen Speichers (4) verbunden ist und der erste externe Anschluß (P0) mit dem Datenanschluß (D) des externen Speichers (4), daß betreffend den zweiten Mikrocontroller (3) der fünfte externe Anschluß (P1') mit dem Datenanschluß (D) des externen Speichers (4) verbunden ist und der vierte externe Anschluß (P4') mit dem dritten externen Anschluß (P3) des ersten Mikrocontrollers.

4. Schaltungsanordnung nach einem der Ansprüche 1 bis 3, gekennzeichnet durch eine synchronisierte Taktversorgung (5) beider Mikrocontroller (2, 3).

5. Schaltungsanordnung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß jeder der externen und internen Anschlüsse (P0, . . . , P4, P0', P4', p0, . . . , p4) eine Vielzahl von einzelnen Signalleitungen umfaßt.

6. Schaltungsanordnung nach einem der Ansprüche 2 bis 5, sofern auf Anspruch 2 rückbezogen, dadurch gekennzeichnet, daß der interne Datenanschluß (al/d) der internen Funktionseinheiten (7, 7') ausgebildet ist, um Daten und einen Teil der Adresse des Speichers (4) zeitlich gemultiplext zu empfangen bzw. zu übertragen und der interne Adreßanschluß (ah) der internen Funktionseinheiten (7, 7') ausgebildet ist, einen anderen Teil der Adresse des Speichers (4) zu übertragen.

7. Schaltungsanordnung nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß an den Mikrocontroller (2, 3) jeweils mindestens ein weiterer externer Anschluß (P5, P6, . . . , P5', P6', . . . ) vorgesehen ist, der mit je einem Mittel zur Erzeugung eines konstanten Signalpegels beschaltet ist, daß die Mikrocontroller (2, 3) jeweils Schaltungsmittel aufweisen, durch die während eines Resetvorgangs die anliegenden Signalpegel abfragbar sind, und daß die Signalpegel am ersten und zweiten Mikrocontroller (2, 3) unterschiedlich sind.

8. Mikrocontroller, der interne Funktionseinheiten (7, 7') mit mindestens fünf internen Anschlüssen (p0, . . . , p4), einem internen Programmdatenanschluß (al/d) und einem internen Adreßanschluß (ah) zum Abruf eines Arbeitsprogramms aufweist, einen internen Speicher (8, 8') für das Arbeitsprogramm und eine Verbindungseinrichtung (9, 9'), durch die in einer ersten Einstellung der interne Adreßanschluß (ah) und der interne Datenanschluß (al/d) mit einem ersten und einem zweiten externen Anschluß (P0, P2) verbindbar sind, erste, zweite und dritte interne Anschlüsse (p1, p2, p3) mit einem dritten externen Anschluß (P3) verbindbar sind und vierte und fünfte interne Anschlüsse (p4, p1) mit einem vierten und fünften externen Anschluß (P4, P1) verbindbar sind, durch die in einer zweiten Einstellung der interne Datenanschluß (al/d) mit dem fünften externen Anschluß (P1') verbindbar ist und der erste, zweite und dritte externe Anschluß (P0', P2', P3') mit dem vierten externen Anschluß (P4') verbindbar ist und durch die in einer dritten Einstellung der interne Adreßanschluß (ah) und der interne Datenanschluß (al/d) mit dem 5 internen Speicher (8, 8') verbindbar sind, und die internen Anschlüsse (p0, . . . , p4) mit je einem der externen Anschlüsse (P0, . . . , P4, P0', . . . , P4') verbindbar sind.

Hierzu 1 Seite(n) Zeichnungen

- Leerseite -

**THIS PAGE BLANK (USPTO)**

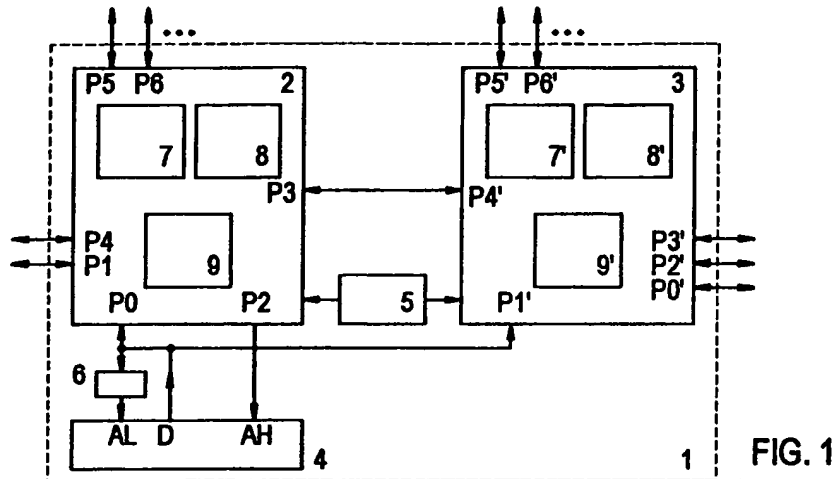


FIG. 1

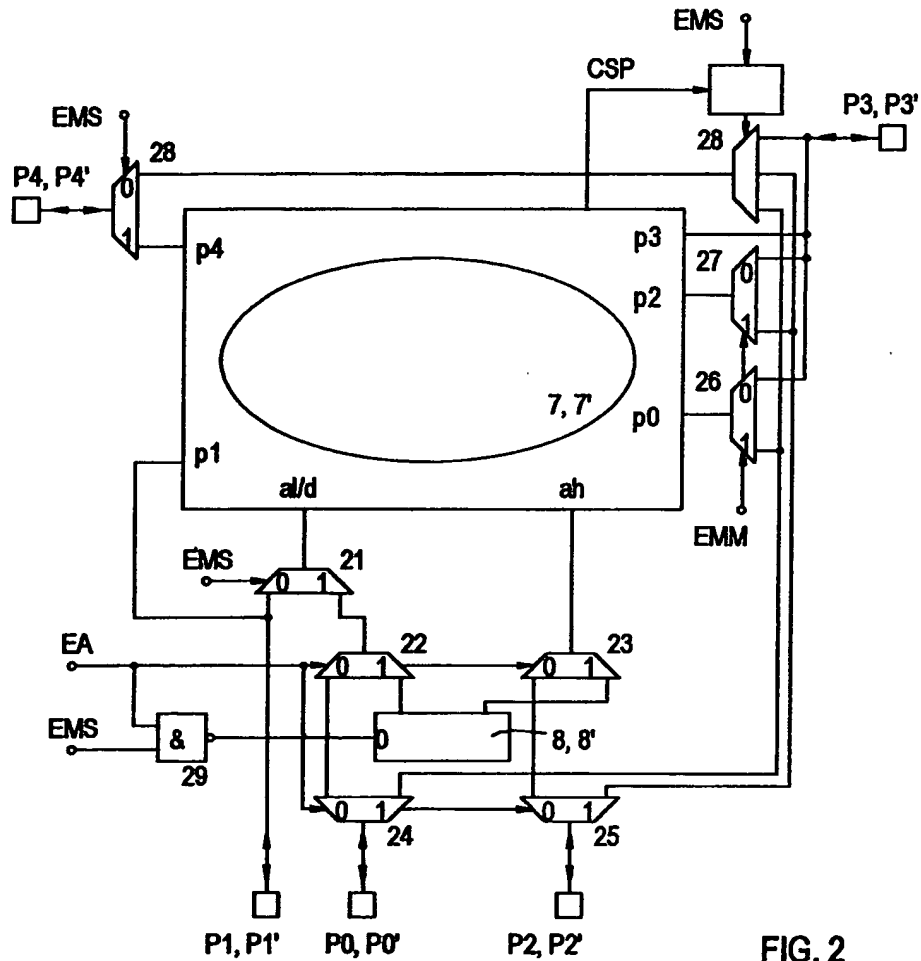


FIG. 2